



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0018963
Application Number

출원 년 월 일 : 2003년 03월 26일
Date of Application MAR 26, 2003

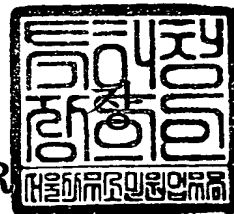
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 12 월 19 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2003.03.26
【발명의 명칭】	읽기 시간을 단축시킬 수 있는 플래시 메모리 장치
【발명의 영문명칭】	FLASH MEMORY DEVICE CAPABLE OF REDUCING READ TIME
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	박동호
【성명의 영문표기】	PARK, DONG-HO
【주민등록번호】	731020-1550611
【우편번호】	449-900
【주소】	경기도 용인시 기흥읍 농서리 7-1 월계수동 126호
【국적】	KR
【발명자】	
【성명의 국문표기】	김명재
【성명의 영문표기】	KIM, MYONG-JAE
【주민등록번호】	650623-1101518
【우편번호】	442-371
【주소】	경기도 수원시 팔달구 매탄1동 매탄주공5단지 522-1103
【국적】	KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인

임창현 (인) 대리인

권혁수 (인)

【수수료】

【기본출원료】

20 면 29,000 원

【가산출원료】

15 면 15,000 원

【우선권주장료】

0 건 0 원

【심사청구료】

18 항 685,000 원

【합계】

729,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

여기에 개시되는 플래시 메모리 장치는 버스트 읽기 동작에 필요한 어드레스의 생성을 알리는 카운트-업 펄스 신호를 발생하는 제어 회로를 포함한다. 어드레스 발생 회로는 카운트-업 펄스 신호에 어드레스를 발생하고, 방전 회로는 카운트-업 펄스 신호에 응답하여 글로벌 비트 라인들을 방전한다. 이러한 제어 스킴에 의하면, 글로벌 비트 라인들의 방전 동작은 로컬 및 글로벌 비트 라인들의 선택 동작 이전에 수행될 수 있다.

【대표도】

도 1

【명세서】

【발명의 명칭】

읽기 시간을 단축시킬 수 있는 플래시 메모리 장치{FLASH MEMORY DEVICE CAPABLE OF REDUCING READ TIME}

【도면의 간단한 설명】

도 1은 본 발명에 따른 플래시 메모리 장치를 보여주는 블록도;

도 2는 도 1에 도시된 섹터 (110a)에 대응하는 제 1 열 게이트 회로 (120a) 및 섹터 선택 회로 (130a)를 보여주는 회로도;

도 3은 도 1에 도시된 제 2 열 게이트 블록 (150)과 감지 증폭 블록 (170)의 일부를 보여주는 회로도;

도 4는 본 발명의 바람직한 실시예에 따른 도 1에 도시된 방전 회로를 보여주는 회로도;

도 5는 본 발명의 바람직한 실시예에 따른 감지 증폭기를 보여주는 회로도;

도 6은 본 발명에 따른 플래시 메모리 장치의 버스트 독출 동작을 설명하기 위한 타이밍도; 그리고

도 7은 본 발명에 따른 버스트 읽기 동작시 하나의 그로벌 비트 라인에 대응하는 회로 구성을 보여주는 회로도이다.

* 도면의 주요 부분에 대한 부호 설명 *

100 : 플래시 메모리 장치 110 : 메모리 셀 어레이

120 : 제 1 열 게이트 블록 130 : 섹터 선택 회로

140, 160 : 디코더 회로 170 : 감지 증폭 블록



180 : 버스트 인에이블 회로 190 : 버스트 독출 제어 회로

200 : 어드레스 발생 회로 210 : 감지 증폭 제어 회로

220 : 방전 회로 230 : 데이터 출력 회로

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <15> 본 발명은 반도체 메모리 장치에 관한 것으로, 좀 더 구체적으로는 플래시 메모리 장치에 관한 것이다.
- <16> 전자 분야에서 상업적인 성공을 거둔 메모리 장치는 플래시 메모리 장치이다. 이러한 상업적인 성공은 전원 없이 오랜 시간에 걸쳐 데이터를 저장하는 플래시 메모리 장치의 능력에 부분적으로 기인한다. 게다가, 플래시 메모리 장치는 전자 장치에 실장된 후에 최종 사용자(end user)에 의해서 소거 및 프로그램될 수 있다. 그러한 기능성은, 특히, 셀룰러 전화기(cellular telephones), PDA (personal digital assistant), 그리고 컴퓨터 BIOS 저장 장치(storage)와 같은 전자 장치 분야와, 전원이 일시적으로 멈추고 프로그램 기능이 요구되는 다른 분야에서 유용하다.
- <17> 플래시 메모리 장치는 다른 형태의 메모리 장치에서 사용되는 것과 유사한 메모리 트랜지스터들 또는 셀들의 어레이로 구성된다. 플래시 메모리 장치는, 그러나, 메모리 트랜지스터들의 제어 게이트와 기판 영역 사이에 플로팅 게이트

(floating gate)를 추가함으로써 메모리 셀들의 불 휘발성 (non-volatility)을 달성할 수 있다. 다른 메모리 장치와 마찬가지로, 메모리 트랜지스터들은 행들과 열들로 배열되어 트랜지스터들의 어레이를 형성한다. 메모리 분야에서 잘 알려진 바와 같이, 각 행에 속하는 메모리 셀들의 제어 게이트들은 일련의 워드 라인들에 연결되며, 그 결과 각 행의 메모리 셀들은 대응하는 워드 라인을 선택함으로써 액세스될 수 있다. 마찬가지로, 각 열에 속하는 셀들의 드레인 영역들은 일련의 비트 라인들에 연결되며, 그 결과 각 열의 셀들은 대응하는 비트 라인들을 선택함으로써 액세스될 수 있다. 메모리 셀들 각각의 드레인 영역들은 공통 소오스 라인 (common source line)에 연결된다. 몇몇 플래시 메모리 장치들에 있어서, 메모리 셀들의 어레이는 개별적인 트랜지스터 어레이를 구성하는 섹터들 (sectors)로 분리되어 프로그램 및 소거 동작들에 유연성 (flexibility)을 제공한다.

<18> 각 메모리 셀에 저장된 데이터는, 이 분야에 잘 알려진 바와 같이, 이진 데이터 값 "1" 또는 "0"을 나타낸다. 어레이 내의 특정 셀에 프로그램, 읽기 또는 소거 동작을 수행하기 위해서, 다양한 특정 전압들이 메모리 셀의 제어 게이트, 드레인 영역, 그리고 소오스 영역에 인가된다. 이러한 특정 전압들을 비트 라인, 워드 라인, 그리고 공통 소오스 라인에 인가함으로써, 비트 라인 및 워드 라인의 교차 영역에 있는 개별 메모리 셀이 프로그램 또는 읽기 동작을 위해서 선택될 수 있다.

<19> 메모리 셀을 프로그램하기 위해서, 메모리 셀의 제어 게이트와 드레인 영역은 소정 프로그램 전압들 (예를 들면, 10V와 5-6V)로 증가되고 소오스는 접지된다. 제어 게이트와 드레인 영역의 전압들은 핫 일렉트론들 (hot electrons)이 생성되게

하여 플로팅 게이트 상에 음의 전하를 형성한다. 핫 일렉트론들은 플로팅 게이트에 포획된다. 이러한 전자 전달 메카니즘은 종종 채널 핫 일렉트론 (channel hot electron: CHE) 주입이라 불린다. 프로그램 전압들이 제거될 때, 플로팅 게이트 상의 음의 전하는 유지되며, 이는 문턱 전압이 높아지게 한다. 문턱 전압은 메모리 셀이 프로그램되었는 지 또는 메모리 셀이 프로그램되지 않았는 지의 여부를 결정하기 위한 읽기 동작 동안 사용된다.

<20> 메모리 셀들은 제어 게이트와 드레인 영역에 특정 전압들 (예를 들면, 4.5V와 1V)을 인가하고 소오스를 접지시킴으로써 읽혀진다. 비트 라인 전류 또는 전압은 감지 증폭기에 의해서 감지된다. 셀이 프로그램되면, 문턱 전압은 상대적으로 높고 비트 라인 전류는 0 또는 상대적으로 낮다. 반면에, 셀이 소거되면, 문턱 전압은 상대적으로 낮고 비트 라인 전류는 상대적으로 높다.

<21> 프로그램 절차와 반대로, 플래시 메모리 장치는 벌크 단위로 소거되며, 그 결과 메모리 섹터 내의 모든 메모리 셀들이 동시에 소거된다. 메모리 섹터 전체를 소거하기 위한 한 가지 방법은 섹터의 모든 워드 라인들과 벌크 영역에 특정 전압들 (예를 들면, -10V와 6V)을 인가하고 메모리 셀들의 드레인 영역들과 공통 소오스 라인을 플로팅 상태로 남겨두는 것이다. 이는 F-N 터널링 (Fowler-Nordheim tunneling)을 통해 플로팅 게이트에서 소오스 영역으로 전자 터널링 (electron tunneling)을 일으키며, 그 결과 메모리 섹터 내의 메모리 셀들 각각의 플로팅 게이트로부터 음의 전하가 제거된다.

<22> 일반적으로, 읽기 동작은 랜덤 액세스 기능처럼 수행되며, 사용자는 읽고자 하는 메모리 장치의 메모리 어레이에 특정 어드레스를 지정한다. 하지만, 메모리 장치에는 버스트 읽기 모드 (burst read mode)가 제공될 수 있다. 버스트 읽기 모드는 메모리 어레이 전체의 데이터 또는 특정 워드 라인에 연결된 메모리 셀들의 데이터를 순차적으로 읽고 연속적인 클록 사이클들

(succeeding clock cycles) 동안 사용자에게 읽혀진 데이터를 출력한다. 이 모드에서, 사용자는 메모리 장치 내에서 순차적으로 어드레스가 생성되기 때문에 어드레스를 제공할 필요가 없다. 일반적으로, 이러한 기능은 사용자가 메모리 장치 내의 모든 데이터 또는 특정 행에 속하는 메모리 셀들의 데이터를 출력하기 원할 때 유용하다.

【발명이 이루고자 하는 기술적 과제】

<23> 본 발명의 목적은 버스트 읽기 모드에서의 데이터 읽기 시간을 단축할 수 있는 불 휘발성 반도체 메모리 장치를 제공하는 것이다.

【발명의 구성 및 작용】

<24> 상술한 제반 목적을 달성하기 위한 본 발명의 특징에 따르면, 플래시 메모리 장치는 복수의 제 1 비트 라인들과; 복수의 제 2 비트 라인들과; 버스트 읽기 동작을 알리는 플래그 신호를 발생하는 신호 발생 회로와; 상기 플래그 신호에 응답하여 어드레스를 발생하는 어드레스 발생 회로와; 상기 어드레스에 응답하여 상기 복수의 제 1 비트 라인들 중 일부를 선택하는 열 선택 회로와; 상기 선택된 제 1 비트 라인들은 상기 복수의 제 2 비트 라인들에 각각 연결되며; 그리고 상기 플래그 신호에 응답하여 상기 복수의 제 2 비트 라인들의 전압들을 방전하는 방전 회로를 포함한다.

<25> 바람직한 실시예에 있어서, 상기 신호 발생 회로는 초기 어드레스의 입력 후에 다음의 버스트 읽기 동작을 알리는 상기 플래그 신호를 발생한다.

<26> 바람직한 실시예에 있어서, 상기 신호 발생 회로는 클록 신호에 동기된 상기 플래그 신호를 발생한다.

- <27> 바람직한 실시예에 있어서, 상기 방전 회로는 상기 플래그 신호에 응답하여 방전 신호를 발생하는 방전 신호 발생기와; 그리고 상기 제 2 비트 라인들과 접지 전압 사이에 각각 연결되며, 상기 방전 신호에 의해서 제어되는 복수의 NMOS 트랜지스터들을 포함한다.
- <28> 바람직한 실시예에 있어서, 상기 제 2 비트 라인들의 방전 동작은 상기 열 선택 회로의 선택 동작보다 앞선다.
- <29> 본 발명의 다른 특징에 따르면, 플래시 메모리 장치는 각각에 복수의 메모리 셀들이 연결되는 복수의 제 1 비트 라인들과; 복수의 제 2 비트 라인들과; 클록 신호와 칩 인에이블 신호에 응답하여 버스트 읽기 동작을 알리는 플래그 신호를 발생하는 신호 발생 회로와; 상기 플래그 신호에 응답하여 어드레스를 발생하는 어드레스 발생 회로와; 상기 어드레스 중 제 1 어드레스에 응답하여 상기 복수의 제 1 비트 라인들 중 일부를 선택하는 제 1 열 선택 회로와; 상기 선택된 제 1 비트 라인들은 상기 복수의 제 2 비트 라인들에 각각 연결되며; 상기 플래그 신호에 응답하여 상기 복수의 제 2 비트 라인들을 방전하는 방전 회로와; 상기 어드레스 중 제 2 어드레스에 응답하여 상기 제 2 비트 라인들 중 일부를 선택하는 제 2 열 선택 회로와; 상기 어드레스의 천이에 응답하여 감지 증폭 제어 신호들을 발생하는 감지 증폭 제어 회로와; 그리고 상기 버스트 읽기 동작 동안 상기 감지 증폭 제어 신호들에 응답하여 상기 선택된 제 2 비트 라인들의 전압들을 감지 증폭하는 감지 증폭 회로를 포함한다.
- <30> 본 발명의 또 다른 특징에 따르면, 플래시 메모리 장치는 각각이 복수의 로컬 비트 라인들을 포함하는 복수의 섹터들과; 칩 인에이블 신호와 클록 신호에 응답하여 버스트 인에이블 신호를 발생하는 버스트 인에이블 회로와; 상기 클록 신호에 동기되어 동작하며, 상기 버스트 인에이블 신호에 응답하여 카운트-업 펄스 신호를 발생하는 버스트 독출 제어 회로와; 상기 카운트-업 펄스 신호에 응답하여 어드레스를 발생하는 어드레스 발생 회로와; 상기 어드레스 중

제 1 어드레스에 응답하여 상기 섹터들 중 하나를 선택하고, 상기 선택된 섹터의 로컬 비트 라인들 중 일부를 선택하는 제 1 열 선택 회로와; 상기 제 1 열 선택 회로에 의해서 선택된 로컬 비트 라인들에 각각 연결되는 복수의 그로벌 비트 라인들과; 그리고 상기 플래그 신호에 응답하여 상기 복수의 제 2 비트 라인들의 전압들을 방전하는 방전 회로를 포함한다.

<31> 바람직한 실시예에 있어서, 상기 어드레스 중 제 2 어드레스에 응답하여 상기 그로벌 비트 라인들 중 일부를 선택하는 제 2 열 선택 회로와; 상기 어드레스의 천이에 응답하여 감지 증폭 제어 신호들을 발생하는 감지 증폭 제어 회로와; 그리고 상기 감지 증폭 제어 신호들에 응답하여 상기 선택된 그로벌 비트 라인들의 전압들을 감지 증폭하는 감지 증폭 회로를 더 포함한다.

<32> 바람직한 실시예에 있어서, 상기 버스트 독출 제어 회로는 초기 어드레스의 입력 이후의 버스트 읽기 동작이 수행되도록 상기 버스트 인에이블 신호에 응답하여 상기 카운트-업 펄스 신호를 발생한다.

<33> 바람직한 실시예에 있어서, 상기 그로벌 비트 라인들의 방전 동작은 상기 제 1 및 제 2 열 선택 회로들의 선택 동작보다 앞선다.

<34> 본 발명의 또 다른 특징에 따르면, 복수의 로컬 비트 라인들을 갖는 섹터와 상기 로컬 비트 라인들 중 일부와 연결되는 복수의 그로벌 비트 라인들을 갖는 불 휘발성 반도체 메모리 장치의 동작 방법은 버스트 읽기 동작 동안, 클록 신호에 동기된 카운트-업 펄스 신호를 활성화시키는 단계와; 상기 카운트-업 펄스 신호의 활성화에 응답하여 어드레스를 발생하는 단계와; 상기 카운트-업 펄스 신호의 활성화에 응답하여 상기 그로벌 비트 라인들을 방전하는 단계와; 그리고 상기 어드레스에 응답하여 상기 로컬 비트 라인들과 상기 그로벌 비트 라인들

을 선택하는 단계를 포함하며, 상기 글로벌 비트 라인들의 방전 동작은 상기 로컬 및 글로벌 비트 라인들의 선택 동작 이전에 수행된다.

<35> 이하 본 발명의 바람직한 실시예들이 참조 도면들에 의거하여 상세히 설명될 것이다.

<36> 본 발명에 따른 플래시 메모리 장치는 버스트 읽기 모드를 가지며, 버스트 읽기 모드는 읽기 속도를 높이기 위해서 사용된다. 버스트 읽기 모드에 있어서, 초기 어드레스 (initial address)가 인가되고 일정 시간이 경과한 후, 섹터의 모든 데이터 또는 특정 워드 라인에 속하는 메모리 셀들의 데이터가 연속적으로 클록 신호에 동기되어 외부로 출력된다. 본 발명은 빠른 읽기 시간을 요구하는 버스트 읽기 동작에서 글로벌 비트 라인들의 방전 시간을 단축하는데 있으며, 이는 이하 상세히 설명될 것이다.

<37> 도 1은 본 발명에 따른 플래시 메모리 장치를 보여주는 블록도이다.

<38> 도 1을 참조하면, 본 발명의 플래시 메모리 장치 (100)는 데이터를 저장하기 위한 메모리 셀 어레이 (110)를 포함한다. 메모리 셀 어레이 (110)는 행들과 열들로 배열되는 메모리 셀들을 갖는 복수 개의 섹터들 (또는 메모리 섹터들) (110a-110c)로 분리되어 있고, 섹터들 (110a-110c)은 개별적으로 소거된다. 제 1 열 게이트 블록 (120)은 섹터들 (110a-110c)에 각각 대응하는 복수 개의 제 1 열 게이트 회로들 (120a-120c)을 포함한다. 제 1 열 게이트 회로들 (120a-120c) 각각은 디코더 회로 (140)로부터의 선택 신호들 (YAsel0-YAsel3)에 응답하여 대응하는 섹터의 열들 (또는 로컬 비트 라인들) 중 일부를 선택한다. 예를 들면, 제 1 열 게이트 회로 (120a)는 디코더 회로 (140)로부터의 선택 신호들 (YAsel0-YAsel3)에 응답하여 섹터 (110a)의 로컬 비트 라인들 (BL0-BLm) (m은 1보다 큰 정수) 중 일부를 선택한다. 제 1 열 게이트 회로 (120b)는 디코더 회로 (140)로부터의 선택 신호들 (YAsel0-YAsel3)에 응답하여 섹터 (110b)의 로컬 비트 라인들 (BL0-BLm) 중 일부를 선택한다. 그리고, 제 1 열 게이트 회로

(120c)는 디코더 회로 (140)로부터의 선택 신호들 (YAsel0-YAsel3)에 응답하여 섹터 (110c)의 로컬 비트 라인들 (BL0-BLm) 중 일부를 선택한다.

<39> 계속해서 도 1을 참조하면, 섹터 선택 블록 (130)은 디코더 회로 (140)로부터의 섹터 선택 신호들 (YBsela-YBscl3)에 응답하여 섹터들 (110a-110c) 중 하나를 선택한다. 섹터 선택 블록 (130)은 섹터들 (110a-110c)에 각각 대응하는 섹터 선택 회로들 (130a-130c)을 포함한다. 섹터 선택 회로들 (130a-130c) 각각은 대응하는 제 1 열 게이트 회로에 의해서 선택된 로컬 비트 라인들을 대응하는 그로벌 비트 라인들 (GBL0-GBLn) (n은 1보다 큰 정수)에 각각 연결한다. 예를 들면, 섹터 선택 회로 (130a)는 섹터 선택 신호 (YBsela)에 응답하여 동작하며, 제 1 열 게이트 회로 (120a)에 의해서 선택된 섹터 (110a)의 로컬 비트 라인들을 그로벌 비트 라인들 (GBL0-GBLn)에 각각 연결한다. 섹터 선택 회로 (130b)는 섹터 선택 신호 (YBsclb)에 응답하여 동작하며, 제 1 열 게이트 회로 (120b)에 의해서 선택된 섹터 (110b)의 로컬 비트 라인들을 그로벌 비트 라인들 (GBL0-GBLn)에 각각 연결한다. 그리고, 섹터 선택 회로 (130c)는 섹터 선택 신호 (YBscl3)에 응답하여 동작하며, 제 1 열 게이트 회로 (120c)에 의해서 선택된 섹터 (110c)의 로컬 비트 라인들을 그로벌 비트 라인들 (GBL0-GBLn)에 각각 연결한다.

<40> 정상적인 독출 동작시, 섹터들 중 하나가 섹터 선택 블록 (130)에 의해서 선택되고 선택된 섹터의 로컬 비트 라인들 중 일부가 제 1 열 게이트 블록 (120)에 의해서 선택된다. 따라서, 선택된 섹터의 로컬 비트 라인들 중 일부가 제 1 열 게이트 블록 (120)과 섹터 선택 블록 (130)을 통해 그로벌 비트 라인들 (GBL0-GBLn)에 각각 연결된다.

<41> 계속해서, 제 2 열 게이트 블록 (second column gate block) (150) (도면에서 "Y-Gate"로 표기됨)은 디코더 회로 (160)로부터의 선택 신호들 (YCsel0i-YCsel3i) (i는 버스트 길이를 나타냄)에 응답하여 그로벌 비트 라인들 (GBL0-GBLn)

을 선택한다. 선택된 글로벌 비트 라인들 (GBL0-GBLn)은 감지 증폭 블록 (sense amplification block) (170) (도면에서 "SA"로 표기됨)에 연결된다. 감지 증폭 블록 (170)은 버스트 길이에 대응하는 감지 증폭기 그룹들로 구성되며, 각 그룹에 속하는 감지 증폭기들의 수는 플래시 메모리 장치 (100)의 비트 구조 (bit organization)에 따라 결정될 것이다. 예를 들면, 버스트 길이가 4이고 플래시 메모리 장치 (100)가 $\times 16$ 비트 구조를 갖는 경우, 감지 증폭 블록 (170)은 4개의 감지 증폭기 그룹들로 구성되고 각 그룹의 감지 증폭기들의 수는 16이다.

<42> 계속해서 도 1을 참조하면, 본 발명에 따른 플래시 메모리 장치 (100)는 버스트 인에이블 회로 (burst enable circuit) (180), 버스트 독출 제어 회로 (burst read control circuit) (190), 어드레스 발생 회로 (address generator circuit) (200), 감지 증폭 제어 회로 (sense amplification control circuit) (210), 그리고 방전 회로 (discharge circuit) (220)를 더 포함한다.

<43> 버스트 인에이블 회로 (180)는 클록 신호 (CLK)에 동기되어 동작하며, 칩 인에이블 신호 (CEb)에 응답하여 버스트 인에이블 신호 (Burst_EN)를 발생한다. 예를 들면, 버스트 인에이블 회로 (180)는 칩 인에이블 신호 (CEb)가 하이-로우 천이를 갖고 클록 신호 (CLK)가 로우-하이 천이를 가질 때 버스트 인에이블 신호 (Burst_EN)를 하이로 활성화시킨다. 버스트 독출 제어 회로 (190)는 클록 신호 (CLK)에 동기되어 동작하며, 버스트 인에이블 신호 (Burst_EN)가 활성화되고 소정 시간이 경과한 후 카운트-업 펄스 신호 (CNT_UP)를 주기적으로 발생한다. 여기서, 소정 시간은 초기 어드레스의 입력에 따라 버스트 길이의 데이터가 감지 증폭 블록

(170)에 의해서 충분히 읽혀질 수 있는 시간이다. 예를 들면, 소정 시간은 클럭 신호 (CLK)의 적어도 4-주기에 대응한다. 어드레스 발생 회로 (200)는 카운트-업 펄스 신호 (CNT_UP)에 응답하여 초기 어드레스의 다음 어드레스를 발생한다. 앞서 설명된 디코더 회로들 (140, 160)은 어드레스 발생 회로 (200)로부터의 어드레스를 디코딩하여 선택 신호들을 발생한다.

<44> 이 실시예에 있어서, 어드레스 발생 회로 (200)는, 이 분야에 잘 알려진 바와 같이, 카운터로 구성될 수 있다.

<45> 계속해서, 감지 증폭 제어 회로 (210)는 어드레스 발생 회로 (200)로부터 출력되는 어드레스의 천이를 검출하고, 소정의 타이밍에 따라 제어 신호들을 발생한다. 감지 증폭 블록 (170)의 감지 증폭기들은 감지 증폭 제어 회로 (210)로부터 출력되는 제어 신호들에 응답하여 동작할 것이다. 방전 회로 (220)는 글로벌 비트 라인들 (GBL0-GBLn)에 연결되며, 버스트 독출 제어 회로 (190)로부터의 카운트-업 펄스 신호 (CNT_UP)에 응답하여 글로벌 비트 라인들 (GBL0-GBLn)의 전압들을 기준 전압 (예를 들면, 접지 전압)으로 방전한다.

<46> 이 실시예에 있어서, 감지 증폭 제어 회로 (210)는 이 분야에 잘 알려진 어드레스 천이 검출기 (address transition detector: ATD)로 구성될 수 있다. 어드레스 천이 검출기의 예가 U.S. Patent No. 6,288,953에 "SEMICONDUCTOR MEMORY DEVICE HAVING SENSE AMPLIFIER CONTROL CIRCUIT RESPONDING TO AN ADDRESS TRANSITION DETECTION CIRCUIT"라는 제목으로 게재되어 있다.

<47> 앞서의 설명에 따르면, 카운트-업 펄스 신호 (CNT_UP)가 생성될 때, 방전 회로 (220)와 어드레스 발생 회로 (200)가 먼저 동작하고, 그 다음에 디코더 회로들 (140, 160)은 어드레스 발생 회로 (200)에서 생성된 어드레스를 디코딩한다. 즉, 글로벌 비트 라인들 (GBL0-GBLn)의 전압들은 카운트-업 펄스 신호 (CNT_UP)가 생성될 때 방전 회로 (220)를 통해 방전된다.

<48> 도 1에 있어서, 제 1 열 게이트 블록 (120), 섹터 선택 블록 (130) 그리고 디코더 회로 (140)는 어드레스 발생 회로 (200)로부터의 어드레스에 응답하여 선택된 섹터의 로컬 비트 라인들 중 일부를 선택하고, 선택된 로컬 비트 라인들을 글로벌 비트 라인들에 연결하는 열 선택 회로를 구성한다. 그리고, 제 2 열 게이트 블록 (150)과 디코더 회로 (160)는 어드레스 발생 회로 (200)로부터의 어드레스에 응답하여 글로벌 비트 라인들 중 일부를 선택하고, 선택된 글로벌 비트 라인들을 감지 증폭 블록 (170)에 연결되는 열 선택 회로를 구성한다. 버스트 인에이블 회로 (180)와 버스트 독출 제어 회로 (190)는 클록 신호 (CLK)와 칩 인에이블 신호 (CEb)에 응답하여 버스트 읽기 동작을 알리는 플래그 신호 (CNT_UP)를 발생하는 신호 발생 회로를 구성한다.

<49> 도 2는 도 1에 도시된 섹터 (110a)에 대응하는 제 1 열 게이트 회로 (120a) 및 섹터 선택 회로 (130a)를 보여주는 회로도이다.

<50> 도 2를 참조하면, 제 1 열 게이트 회로 (120a)는 선택 신호들 (YAse10-YAse13)에 응답하여 섹터 (110a)의 로컬 비트 라인들 (BL0-BLm) 중 일부를 선택한다. 로컬 비트 라인들 (BL0-BLm)은 복수 개의 그룹들로 이루어지며, 각 그룹은 4개의 로컬 비트 라인들로 구성된다. 제 1 열 게이트 회로 (120a)는 각 그룹의 로컬 비트 라인들에 각각 연결된 NMOS 트랜지스터들 (M0-M3)로 구성된다. 각 그룹에 있어서, 첫 번째 NMOS 트랜지스터 (M0)는 선택 신호 (YAse10)에 의해서 공통으로 제어되고, 두 번째 NMOS 트랜지스터 (M1)는 선택 신호 (YAse11)에 의해서 공통으로 제어된다. 세 번째 NMOS 트랜지스터 (M2)는 선택 신호 (YAse12)에 의해서 공통으로 제어되고, 네 번째 NMOS 트랜지스터 (M3)는 선택 신호 (YAse13)에 의해서 공통으로 제어된다. 제 1 열 선택 회로 (120a)에 의해서 선택된 로컬 비트 라인들은 섹터 선택 회로 (130a)를 통해 대응하는 글로벌 비트 라인들 (GBL0-GBLn)에 각각 연결된다. 섹터 선택 회로 (130a)는 글로벌

비트 라인들 (GBL0-GBLn)에 각각 연결된 NMOS 트랜지스터들 (M4-M5)로 구성되며, NMOS 트랜지스터들 (M4-M5)은 섹터 (110a)를 선택하기 위한 선택 신호 (YBsela)에 의해서 공통으로 제어된다.

- <51> 선택 신호들 (YAsel0, YBsela)이 활성화될 때, 그룹들의 첫 번째 로컬 비트 라인들 (BL0, BL4, , BLm-3)은 섹터 선택 회로 (130a)의 대응하는 NMOS 트랜지스터들 (M4-M5)을 통해 대응하는 그로벌 비트 라인들 (GBL0-GBLn)에 각각 연결된다.
- <52> 도 3은 도 1에 도시된 제 2 열 게이트 블록 (150)과 감지 증폭 블록 (170)의 일부를 보여주는 회로도이다.
- <53> 도 3에는 단지 일 그룹의 감지 증폭기들 (SA0-SAi)이 도시되어 있다. 앞서 설명된 바와 같이, 각 그룹의 감지 증폭기들 (SA0-SAi)의 수는 플래시 메모리 장치 (100)의 비트 구조에 따라 결정된다. 감지 증폭기 그룹들의 수는 버스트 길이에 따라 결정된다. 제 2 열 게이트 블록 (150)은 선택 신호들 (YCsel00-YCsel130)에 응답하여 동작하며, 그로벌 비트 라인들 (GBL0-GBLn) 중 일부를 선택적으로 일 그룹의 감지 증폭기들 (SA0-SAi)에 연결한다. 제 2 열 게이트 블록 (150)은 복수 개의 NMOS 트랜지스터들 (M6-M13)로 구성되며, 도면에 도시된 바와 같이 연결되어 있다.
- <54> 도 4는 본 발명의 바람직한 실시예에 따른 도 1에 도시된 방전 회로를 보여주는 회로도이다.
- <55> 도 4를 참조하면, 본 발명에 따른 방전 회로 (220)는 그로벌 비트 라인들 (GBL0-GBLn)에 각각 대응하는 복수 개의 NMOS 트랜지스터들 (M14-M16)과 신호 발생기 (221)를 포함한다. 신호 발생기 (221)는 카운트-업 펄스 신호 (CNT_UP)에 응답하여 방전 신호 (GBL_DIS)를

발생한다. NMOS 트랜지스터들 (M14-M16)은 방전 신호 (GBL_DIS)에 응답하여 동작하며, 대응하는 그로벌 비트 라인들과 접지 전압 사이에 병렬하게 연결된다. 카운트-업 펄스 신호 (CNT_UP)가 하이로 활성화될 때, 그로벌 비트 라인들 (GBL0-GBLn)은 방전 신호 (GBL_DIS)에 의해서 제어되는 대응하는 NMOS 트랜지스터들 (M14-M16)을 통해 접지된다. 즉, 카운트-업 펄스 신호 (CNT_UP)가 하이로 활성화될 때, 그로벌 비트 라인들 (GBL0-GBLn)의 전압들은 방전된다.

<56> 도 5는 본 발명의 바람직한 실시예에 따른 감지 증폭기를 보여주는 회로도이다. 도 5를 참조하면, 감지 증폭기 (SA0)는 복수 개의 PMOS 트랜지스터들 (M20, M24, M25, M27, M28, M31, M34), 복수 개의 NMOS 트랜지스터들 (M21, M22, M23, M26, M29, M30, M32, M35), 그리고 인버터 (INV10)를 포함한다.

<57> PMOS 트랜지스터 (M20)는 전원 전압과 감지 노드 (S0) 사이에 연결되며, 제어 신호 (PLOAD)에 따라 턴 온/오프된다. NMOS 트랜지스터 (M21)는 감지 노드 (S0)와 ND1 노드 사이에 연결되며, ND2 노드의 전압에 의해서 제어된다. PMOS 트랜지스터 (M24)는 전원 전압과 ND2 노드 사이에 연결되며, 제어 신호 (nPSAE)에 따라 턴 온/오프된다. 게이트가 ND1 노드에 연결된 NMOS 트랜지스터 (M22)는 ND2 노드와 접지 전압 사이에 연결되어 있다. ND1 노드는 제 2 열 게이트 블록 (150)를 통해 선택된 그로벌 비트 라인에 연결될 것이다. ND2 노드와 접지 전압 사이에는 NMOS 트랜지스터 (M23)가 다이오드-연결되어 있다. NMOS 트랜지스터 PMOS 트랜지스터 (M25)와 NMOS 트랜지스터 (M26)는 전원 전압과 ND1 노드 사이에 직렬 연결되고, PMOS 트랜지스터들 (M27, M28)은 전원 전압과 ND1 노드 사이에 직렬 연결되어 있다. PMOS 트랜지스터들 (M25, M27)은 제어 신호 (PPRE)에 따라 턴 온/오프되고, NMOS 트랜지스터 (M26)는 ND2 노드의 전압에 의해서 제어되며, PMOS 트랜지스터 (M28)는 바이어스 전압 (VBIAS)에 의해서 제어된다.

<58> 계속해서, NMOS 트랜지스터들 (M29, M30)은 ND1 노드와 접지 전압 사이에 직렬 연결된다. NMOS 트랜지스터 (M29)의 게이트는 전원 전압에 연결되며, NMOS 트랜지스터 (M30)의 게이트는 제어 신호 (PDIS)를 받아들이도록 연결되어 있다. 트랜지스터들 (M31, M32, M33)은 전원 전압과 접지 전압 사이에 직렬 연결되어 있다. PMOS 및 NMOS 트랜지스터들 (M31, M32)은 감지 노드 (S0)의 전압에 의해서 제어되며, NMOS 트랜지스터 (M33)는 제어 신호 (PDOT)를 받아들이도록 연결되어 있다. PMOS 및 NMOS 트랜지스터들 (M31, M32)의 공통 드레인 노드에는 인버터 (INV10)가 연결되며, NMOS 트랜지스터 (M35)는 인버터 (INV10)의 출력에 의해서 제어된다. PMOS 트랜지스터 (M34)는 전원 전압과 PMOS 및 NMOS 트랜지스터들 (M31, M32)의 공통 드레인 노드 사이에 연결되며, 제어 신호 (PDOT)에 의해서 제어된다.

<59> 읽기 동작이 수행되는 경우, 제어 신호 (nPSAE)가 하이 레벨에서 로우 레벨로 천이하며, NMOS 트랜지스터 (M21)는 턴 온된다. 이때, 제어 신호 (PLOAD)는 로우 레벨로 고정된다. 그 다음에, 제어 신호 (PDIS)가 로우 레벨에서 하이 레벨로 천이함에 따라, ND1 노드 및 S0 노드의 전압들은 NMOS 트랜지스터들 (M29, M30)을 통해 접지 전압으로 방전된다. 제어 신호 (PDIS)가 로우로 비활성화됨에 따라, ND1 노드의 전압은 NMOS 트랜지스터 (M21)를 통해 감지 노드 (S0)로부터 전류에 따라서 증가한다. ND1 노드의 전압이 증가함에 따라 NMOS 트랜지스터 (M22)가 턴 온된다. 이와 동시에, 제어 신호 (PPRE)가 활성화됨에 따라 MOS 트랜지스터들 (M25-M28)로 구성된 바이어스 회로를 통해 ND1 노드로 전류가 공급된다. 이러한 동작을 통해 감지 노드 (S0)가 소정 전압으로 설정될 것이다.

<60> 도 6은 본 발명에 따른 플래시 메모리 장치의 버스트 독출 동작을 설명하기 위한 타이밍도이다. 본 발명에 따른 플래시 메모리 장치의 버스트 독출 동작이 참조 도면들에 의거하여 이

하 상세히 설명될 것이다. 설명의 편의상, 초기 어드레스의 입력에 따라 수행되는 버스트 읽기 동작시 섹터 (110a)가 선택된다고 가정하자.

<61> 칩 인에이블 신호 (CEb)가 하이 레벨에서 로우 레벨로 천이하면, 버스트 인에이블 회로 (180)는 클록 신호 (CLK)에 동기되어 버스트 인에이블 신호 (Burst_EN)를 하이로 활성화시킨다. 버스트 독출 제어 회로 (190)는 버스트 인에이블 신호 (Burst_EN)의 활성화에 응답하여 동작한다. 외부로부터 제공되는 초기 어드레스는 어드레스 발생 회로 (200)에 로드되며, 그렇게 로드된 어드레스는 디코더 회로들 (140, 160)로 전달된다. 디코더 회로 (140)는 입력 어드레스를 디코딩하여 선택 신호들 (YAsel0-YAsel3, YBsela-YBselc)을 발생한다. 이와 동시에, 디코더 회로 (160)는 입력 어드레스를 디코딩하여 선택 신호들 (YCsel0i-YCsel3i)을 발생한다.

<62> 선택된 섹터 (110a)에 대응하는 제 1 열 게이트 회로 (120a)는 선택 신호들 (YAsel0-YAsel3)에 응답하여 섹터 (110a)의 로컬 비트 라인들 (BL0-BLm) 중 일부를 선택하고, 선택된 로컬 비트 라인들은 섹터 선택 회로 (130a)를 통해 대응하는 그로벌 비트 라인들 (GBL0-GBLn)에 각각 연결된다. 제 2 열 게이트 블록 (150)은 선택 신호들 (YCsel0i-YCsel3i)에 응답하여 그로벌 비트 라인들을 선택적으로 감지 증폭 블록 (170)에 연결한다. 감지 증폭 제어 회로 (210)는 어드레스 발생 회로 (200)로부터 출력되는 어드레스의 천이에 응답하여 감지 증폭기의 제어 신호들 (PDIS, PPRE, PDOT, PLOAD, nPSAE)을 생성한다. 제어 신호들 (PDIS, PPRE, PDOT, PLOAD, nPSAE)의 생성에 따른 감지 증폭기의 동작은 앞서 설명된 것과 동일하다.

<63> 초기 어드레스가 입력되고 감지 증폭기 (SA0)의 제어 신호 (PDIS)가 활성화될 때, 도 5 및 도 7을 참조하면, 감지 증폭기 (SA0)에 연결된 그로벌 비트 라인 (GBL0)은 감지 증폭기 (SA0)의 NMOS 트랜지스터들 (M29, M30)을 통해 방전된다. 이때, 방전 신호 (GBL_DIS)가 로우로

비활성화되어 있기 때문에, 방전 회로 (220)를 구성하는 NMOS 트랜지스터 (M14)는 턴 오프된다. 즉, 초기 어드레스의 입력에 따라 수행되는 버스트 읽기 동작시 일부 글로벌 비트 라인들의 전압들은 감지 증폭 블록 (170)을 통해 방전된다.

<64> 초기 어드레스에 대한 감지 동작이 완료되면, 버스트 독출 제어 회로 (190)는 다음의 버스트 읽기 동작을 위한 어드레스를 생성하도록 클록 신호 (CLK)에 동기되어 카운트-업 펄스 신호 (CNT_UP)를 발생한다. 카운트-업 펄스 신호 (CNT_UP)가 활성화됨에 따라, 방전 회로 (220)의 신호 발생기 (221)는 방전 신호 (GBL_DIS)를 발생하며, 그 결과 NMOS 트랜지스터들 (M14-M16)이 턴 온된다. 이는 글로벌 비트 라인들 (GBL0-GBLn)의 전압들이 방전됨을 의미한다. 이와 동시에, 어드레스 발생 회로 (200)는 카운트-업 펄스 신호 (CNT_UP)의 활성화에 응답하여 다음의 버스트 읽기 동작을 위한 어드레스를 발생한다. 그렇게 생성된 어드레스는 디코더 회로들 (140, 160)로 전달되며, 감지 증폭 제어 회로 (210)는 어드레스 발생 회로 (200)로부터의 어드레스의 천이에 응답하여 감지 증폭기의 제어 신호들을 발생한다. 선택된 섹터의 로컬 비트 라인들과 글로벌 비트 라인들을 선택하는 동작은 앞서 설명된 것과 동일하다. 그것에 대한 설명은, 그러므로, 생략된다. 마찬가지로, 제어 신호들의 생성에 따른 감지 증폭기의 동작 역시 앞서 설명과 것과 동일하다. 그것에 대한 설명은, 그러므로, 생략된다.

<65> 다시 말해서, 도 7에 도시된 바와 같이, 방전 신호 (GBL_DIS)의 활성화에 따라 NMOS 트랜지스터 (M14)가 턴 온되어 글로벌 비트 라인 (GBL0)의 전압은 방전된다. 이때, 어드레스의 디코딩 결과에 따라 선택되는 NMOS 트랜지스터들 (M0, M4, M6)은 턴 오프 상태를 유지한다. 결과적으로, 어드레스 디코딩 동작이 수행되기 이전에, 글로벌 비트 라인들 (GBL0-GBLn)의 전압들은 본 발명의 방전 회로 (220)에 의해서 먼저 방전된다.



<66> 이상에서, 본 발명에 따른 회로의 구성 및 동작을 상기한 설명 및 도면에 따라 도시하였지만, 이는 예를 들어 설명한 것에 불과하며 본 발명의 기술적 사상 및 범위를 벗어나지 않는 범위 내에서 다양한 변화 및 변경이 가능함은 물론이다.

【발명의 효과】

<67> 상술한 바와 같이, 열 선택 동작이 수행되기 이전에 다음의 어드레스의 생성을 알리는 카운트-업 펄스 신호를 이용하여 글로벌 비트 라인들의 전압들이 방전된다. 글로벌 비트 라인이 열 로딩을 대부분 차지하기 때문에, 방전 시간에 걸리는 시간이 단축될 수 있다. 이는 일련의 버스트 읽기 동작이 수행되는 경우 전반적인 읽기 속도가 향상됨을 의미한다.

【특허청구범위】

【청구항 1】

복수의 제 1 비트 라인들과;

복수의 제 2 비트 라인들과;

버스트 읽기 동작을 알리는 플래그 신호를 발생하는 신호 발생 회로와;

상기 플래그 신호에 응답하여 어드레스를 발생하는 어드레스 발생 회로와;

상기 어드레스에 응답하여 상기 복수의 제 1 비트 라인들 중 일부를 선택하는 열 선택 회로와;

상기 선택된 제 1 비트 라인들은 상기 복수의 제 2 비트 라인들에 각각 연결되며; 그리고

상기 플래그 신호에 응답하여 상기 복수의 제 2 비트 라인들의 전압들을 방전하는 방전 회로를 포함하는 반도체 메모리 장치.

【청구항 2】

제 1 항에 있어서,

상기 신호 발생 회로는 초기 어드레스의 입력 후에 다음의 버스트 읽기 동작을 알리는 상기 플래그 신호를 발생하는 반도체 메모리 장치.

【청구항 3】

제 1 항에 있어서,

상기 신호 발생 회로는 클록 신호에 동기된 상기 플래그 신호를 발생하는 반도체 메모리 장치.

【청구항 4】

제 1 항에 있어서,

상기 반도체 메모리 장치는 노어형 플래시 메모리 장치인 반도체 메모리 장치.

【청구항 5】

제 1 항에 있어서,

상기 방전 회로는

상기 플래그 신호에 응답하여 방전 신호를 발생하는 방전 신호 발생기와; 그리고

상기 제 2 비트 라인들과 접지 전압 사이에 각각 연결되며, 상기 방전 신호에 의해서 제어되는 복수의 NMOS 트랜지스터들을 포함하는 반도체 메모리 장치.

【청구항 6】

제 1 항에 있어서,

상기 제 2 비트 라인들의 방전 동작은 상기 열 선택 회로의 선택 동작보다 앞서는 반도체 메모리 장치.

【청구항 7】

각각에 복수의 메모리 셀들이 연결되는 복수의 제 1 비트 라인들과;

복수의 제 2 비트 라인들과;

클록 신호와 칩 인에이블 신호에 응답하여 버스트 읽기 동작을 알리는 플래그 신호를 발생하는 신호 발생 회로와;

상기 플래그 신호에 응답하여 어드레스를 발생하는 어드레스 발생 회로와;

상기 어드레스 중 제 1 어드레스에 응답하여 상기 복수의 제 1 비트 라인들 중 일부를 선택하는 제 1 열 선택 회로와;

상기 선택된 제 1 비트 라인들은 상기 복수의 제 2 비트 라인들에 각각 연결되며;

상기 플래그 신호에 응답하여 상기 복수의 제 2 비트 라인들을 방전하는 방전 회로와;

상기 어드레스 중 제 2 어드레스에 응답하여 상기 제 2 비트 라인들 중 일부를 선택하는 제 2 열 선택 회로와;

상기 어드레스의 천이에 응답하여 감지 증폭 제어 신호들을 발생하는 감지 증폭 제어 회로와; 그리고

상기 버스트 읽기 동작 동안 상기 감지 증폭 제어 신호들에 응답하여 상기 선택된 제 2 비트 라인들의 전압들을 감지 증폭하는 감지 증폭 회로를 포함하는 반도체 메모리 장치.

【청구항 8】

제 7 항에 있어서,

상기 신호 발생 회로는 초기 어드레스의 입력 후에 다음의 버스트 읽기 동작을 알리는 상기 플래그 신호를 발생하는 반도체 메모리 장치.

【청구항 9】

제 7 항에 있어서,

상기 반도체 메모리 장치는 노어형 플래시 메모리 장치인 반도체 메모리 장치.

【청구항 10】

제 7 항에 있어서,

상기 방전 회로는

상기 플래그 신호에 응답하여 방전 신호를 발생하는 방전 신호 발생기와; 그리고

상기 제 2 비트 라인들과 접지 전압 사이에 각각 연결되며, 상기 방전 신호에 의해서 제어되는 복수의 NMOS 트랜지스터들을 포함하는 반도체 메모리 장치.

【청구항 11】

제 7 항에 있어서,

상기 제 2 비트 라인들의 방전 동작은 상기 열 선택 회로의 선택 동작보다 앞서는 반도체 메모리 장치.

【청구항 12】

각각이 복수의 로컬 비트 라인들을 포함하는 복수의 섹터들과;

칩 인에이블 신호와 클록 신호에 응답하여 버스트 인에이블 신호를 발생하는 버스트 인에이블 회로와;

상기 클록 신호에 동기되어 동작하며, 상기 버스트 인에이블 신호에 응답하여 카운트-업 펄스 신호를 발생하는 버스트 독출 제어 회로와;

상기 카운트-업 펄스 신호에 응답하여 어드레스를 발생하는 어드레스 발생 회로와;

상기 어드레스 중 제 1 어드레스에 응답하여 상기 섹터들 중 하나를 선택하고, 상기 선택된 섹터의 로컬 비트 라인들 중 일부를 선택하는 제 1 열 선택 회로와;

상기 제 1 열 선택 회로에 의해서 선택된 로컬 비트 라인들에 각각 연결되는 복수의 글로벌 비트 라인들과; 그리고

상기 플래그 신호에 응답하여 상기 복수의 제 2 비트 라인들의 전압들을 방전하는 방전 회로를 포함하는 불 휘발성 반도체 메모리 장치.

【청구항 13】

제 12 항에 있어서,

상기 어드레스 중 제 2 어드레스에 응답하여 상기 그로벌 비트 라인들 중 일부를 선택하는 제 2 열 선택 회로와;

상기 어드레스의 천이에 응답하여 감지 증폭 제어 신호들을 발생하는 감지 증폭 제어 회로와; 그리고

상기 감지 증폭 제어 신호들에 응답하여 상기 선택된 그로벌 비트 라인들의 전압들을 감지 증폭하는 감지 증폭 회로를 더 포함하는 불 휘발성 반도체 메모리 장치.

【청구항 14】

제 12 항에 있어서,

상기 버스트 독출 제어 회로는 초기 어드레스의 입력 이후의 버스트 읽기 동작이 수행되도록 상기 버스트 인에이블 신호에 응답하여 상기 카운트-업 펄스 신호를 발생하는 불 휘발성 반도체 메모리 장치.

【청구항 15】

제 12 항에 있어서,

상기 불 휘발성 반도체 메모리 장치는 노어형 플래시 메모리 장치인 불 휘발성 반도체 메모리 장치.

【청구항 16】

제 12 항에 있어서,

상기 방전 회로는

상기 카운트-업 펄스 신호에 응답하여 방전 신호를 발생하는 방전 신호 발생기와; 그리고

상기 글로벌 비트 라인들과 접지 전압 사이에 각각 연결되며, 상기 방전 신호에 의해서 제어되는 복수의 NMOS 트랜지스터들을 포함하는 불 휘발성 반도체 메모리 장치.

【청구항 17】

제 13 항에 있어서,

상기 글로벌 비트 라인들의 방전 동작은 상기 제 1 및 제 2 열 선택 회로들의 선택 동작보다 앞서는 불 휘발성 반도체 메모리 장치.

【청구항 18】

복수의 로컬 비트 라인들을 갖는 섹터와 상기 로컬 비트 라인들 중 일부와 연결되는 복수의 글로벌 비트 라인들을 갖는 불 휘발성 반도체 메모리 장치의 동작 방법에 있어서:

버스트 읽기 동작 동안, 클록 신호에 동기된 카운트-업 펄스 신호를 활성화시키는 단계와;

상기 카운트-업 펄스 신호의 활성화에 응답하여 어드레스를 발생하는 단계와;

상기 카운트-업 펄스 신호의 활성화에 응답하여 상기 글로벌 비트 라인들을 방전하는 단계와; 그리고

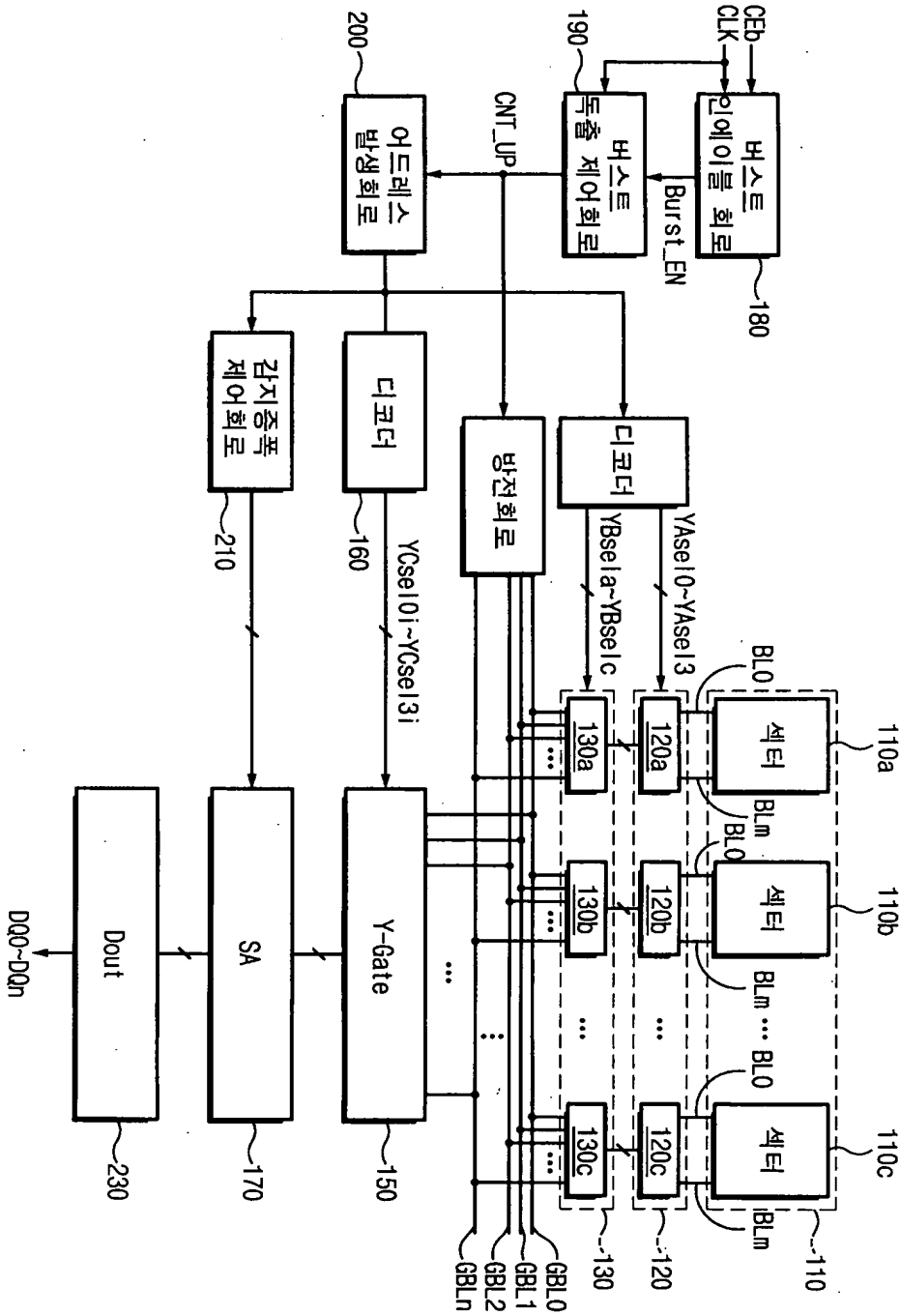


상기 어드레스에 응답하여 상기 로컬 비트 라인들과 상기 글로벌 비트 라인들을 선택하는 단계를 포함하며,

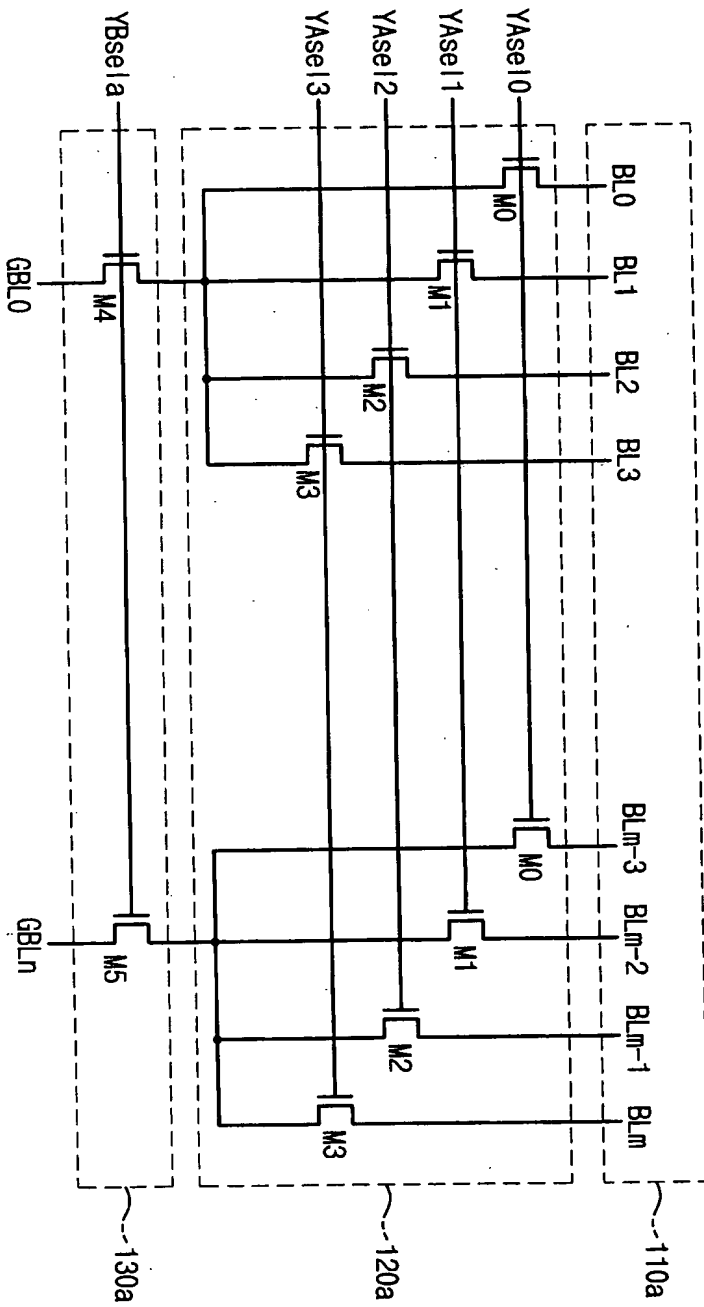
상기 글로벌 비트 라인들의 방전 동작은 상기 로컬 및 글로벌 비트 라인들의 선택 동작 이전에 수행되는 것을 특징으로 하는 동작 방법.

【도면】

【도 1】

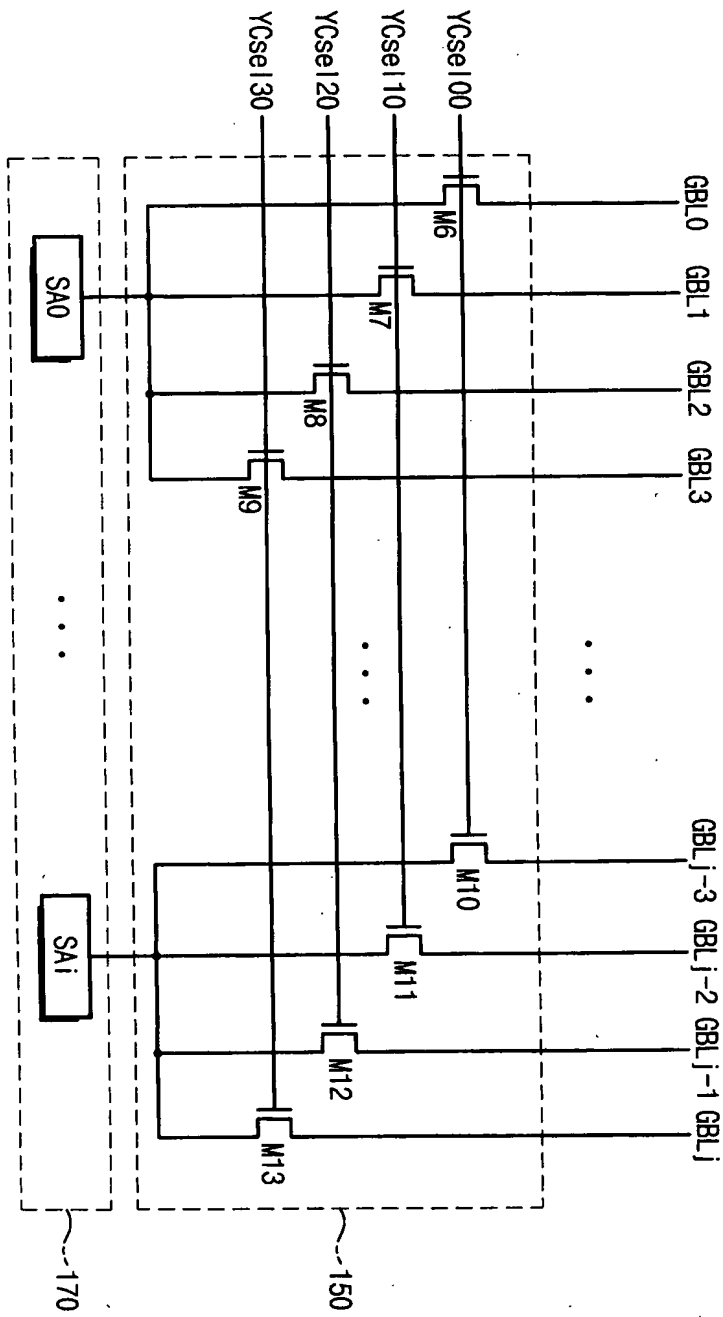


【도 2】

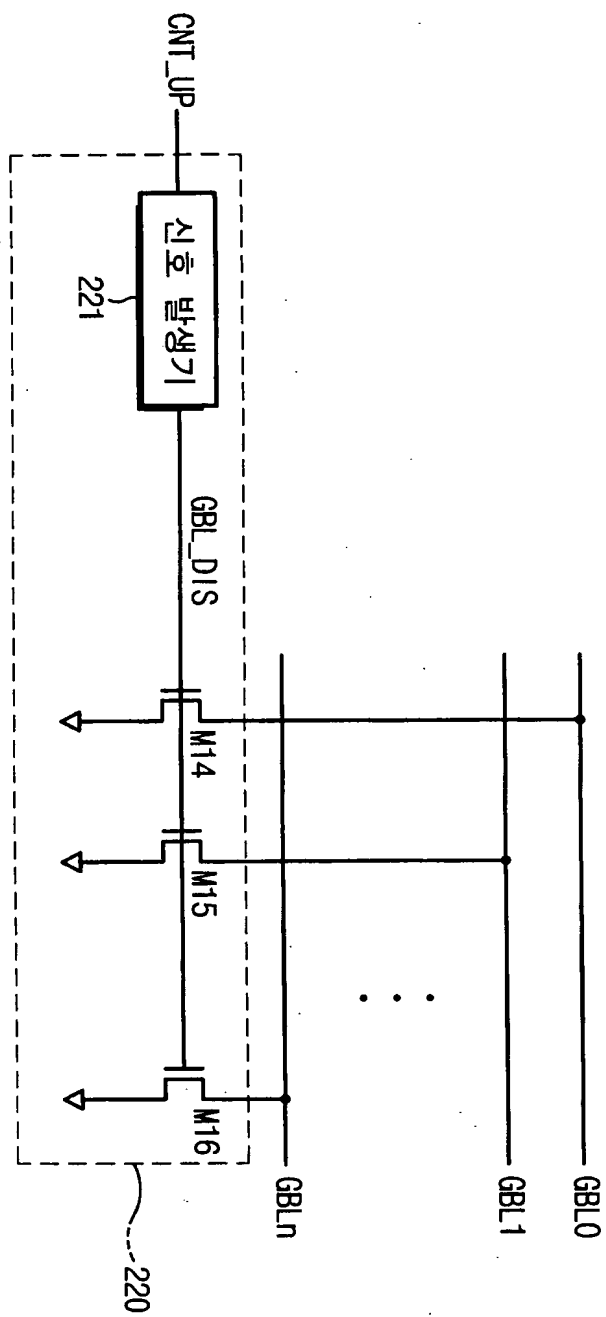




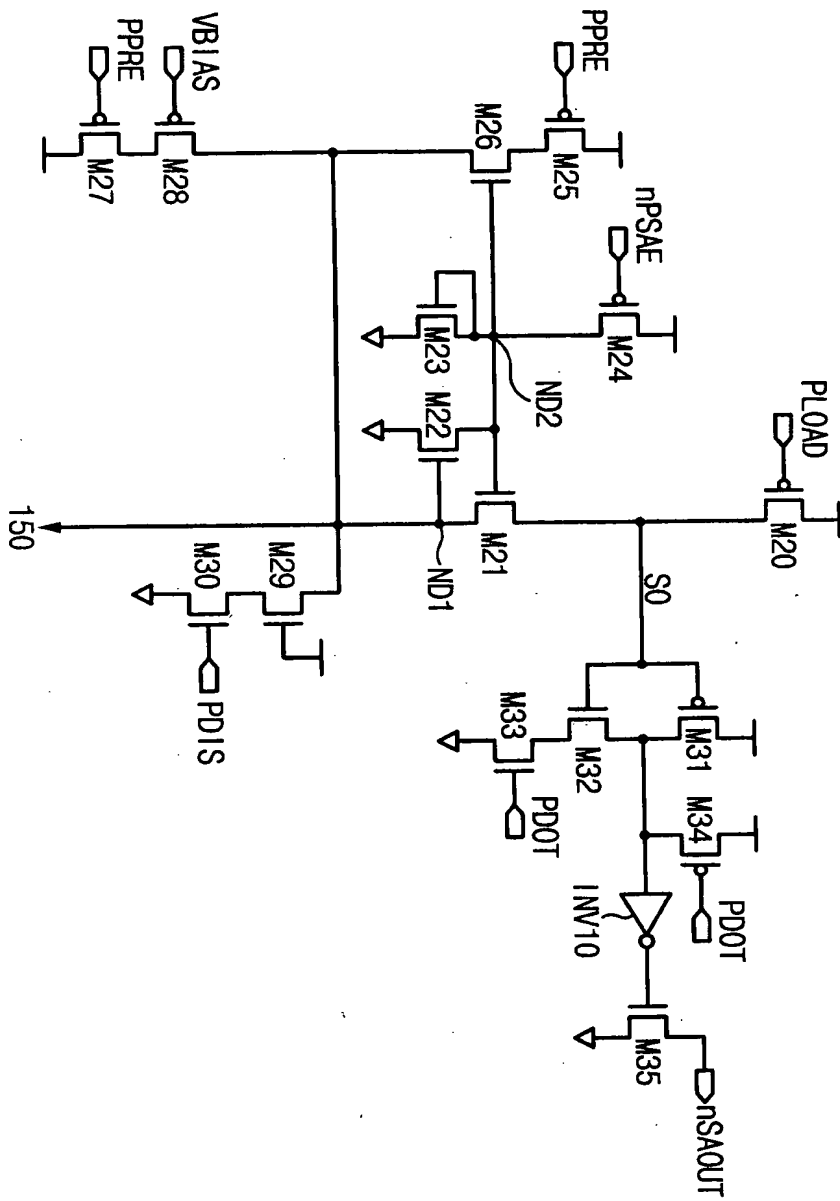
【도 3】



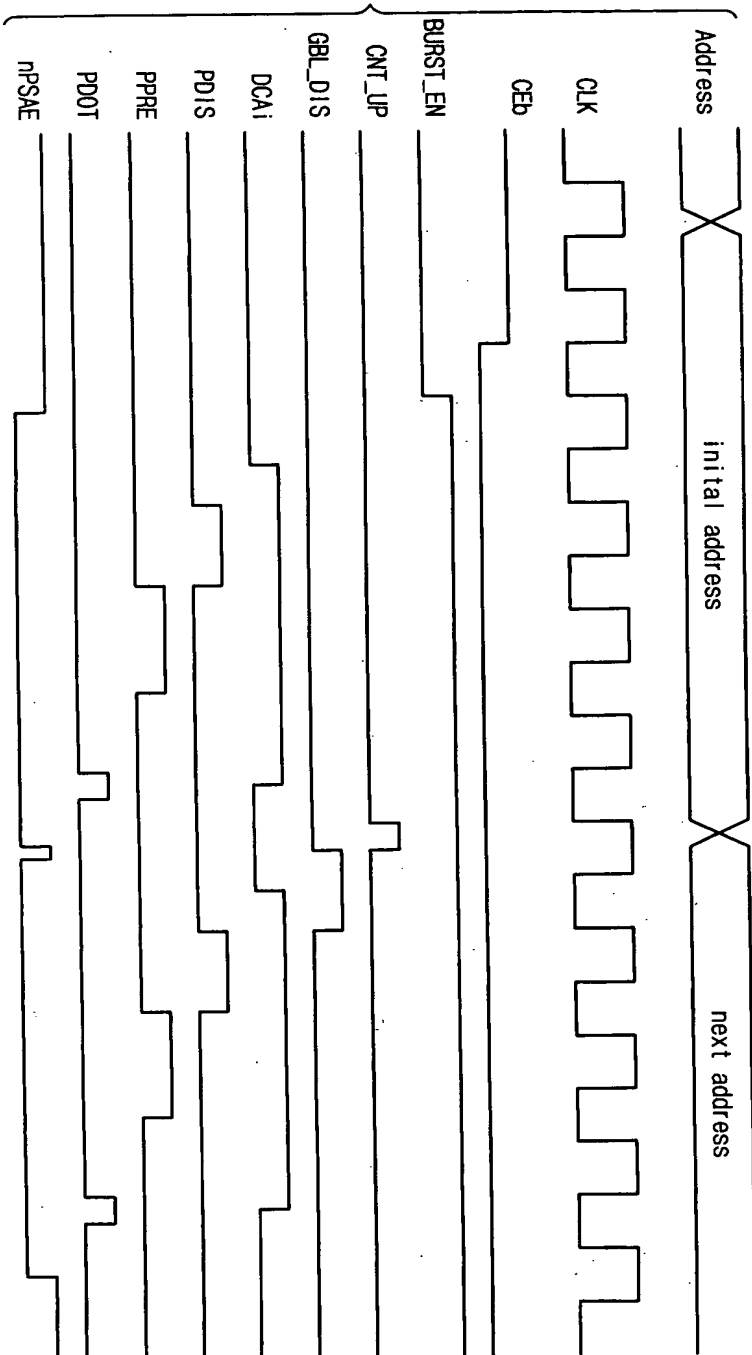
【도 4】



【도 5】



【도 6】



【도 7】

